



(19)

(11) Publication number:

05090532 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 03247714

(51) Intl. Cl.: H01L 27/108 G11C 11/22 G11C 17/04

(22) Application date: 26.09.91

(30) Priority:

(43) Date of application
publication: 09.04.93(84) Designated
contracting states:

(71) Applicant: ROHM CO LTD

(72) Inventor: NAKAMURA TAKASHI

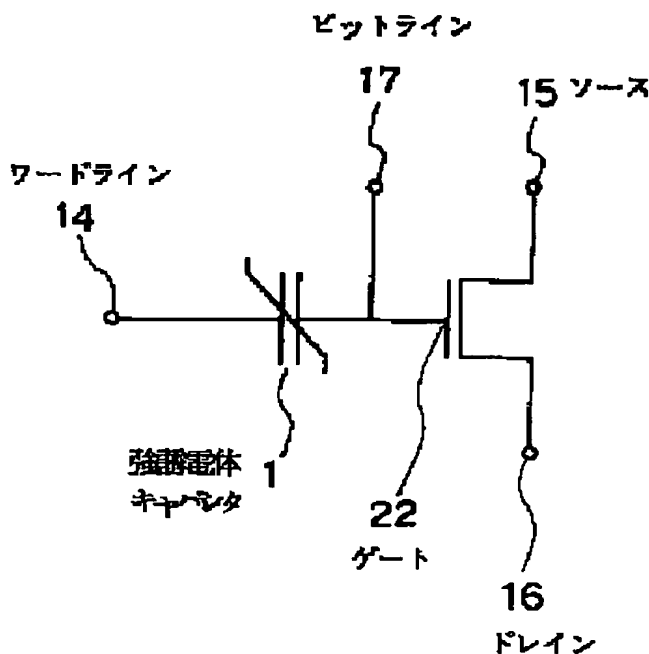
(74) Representative:

(54) SEMICONDUCTOR
STORAGE DEVICE

(57) Abstract:

PURPOSE: To detect the electric continuity state and the discontinuity state between a source and a drain at the time of readout, and enable nondestructive readout, by connecting a ferroelectric substance capacitor with the gate electrode of a field-effect transistor, and connecting an outer electrode terminal with a part between the capacitor and the gate electrode.

CONSTITUTION: The title device contains a ferroelectric substance capacitor 1 and an MOS FET, and the capacitor 1 is connected with a gate electrode 22. By transferring charge stored in the ferroelectric substance capacitor 1 to the gate electrode 22, the electric continuity state and the discontinuity state of the MOS FET are changed over. The stored data are read by detecting the continuity state or the discontinuity state between a source 15 and a drain 16, so that the polarization state of the ferroelectric substance capacitor 1 is not destructed. A bit line 17 is installed at the connection part of one electrode of the ferroelectric substance capacitor 1 and a gate electrode 22 of the MOS FET, and the voltage between the word line 14 and the bit line 17 is changed.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-90532

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/108

G11C 11/22

17/04

8522-5L

A 9191-5L

8728-4M

H01L 27/10

325 C

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平3-247714

(22)出願日 平成3年(1991)9月26日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中村 孝

京都市右京区西院溝崎町21番地 ローム株式会社内

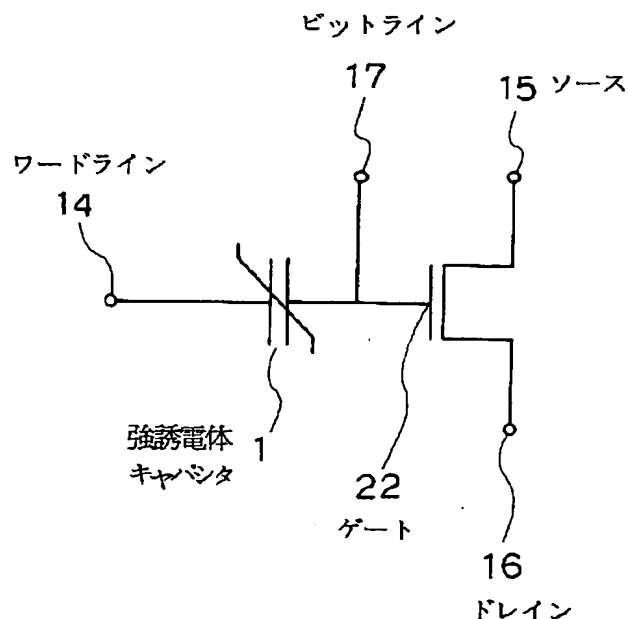
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体記憶素子

(57)【要約】

【目的】 結晶性の良い強誘電体薄膜を形成し、そのキャパシタを利用して非破壊読み出しが可能な半導体記憶素子を提供する。

【構成】 電界効果型トランジスタと強誘電体キャパシタからなり、前記トランジスタのゲート電極がキャパシタの一方の電極と接続されており、またキャパシタとゲート電極とのあいだに取出電極が接続されている。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板表面に間隔をおいて形成された2つの第2導電型の半導体領域のあいだの前記基板表面に誘電体薄膜が設けられており、該誘電体薄膜上部に導電膜が形成されゲート電極とした電界効果型トランジスタと、強誘電体を2つの導電体電極ではさんだ強誘電体キャパシタとを有する半導体記憶素子であって、

前記電界効果型トランジスタのゲート電極が前記強誘電体層をはさむ2つの導電体電極の一方と電気的に接続されており、かつ前記ゲート電極および該ゲート電極と接続された前記導電体電極に接続された電極端子が導出されてなることを特徴とする半導体記憶素子。

【請求項2】 前記電界効果型トランジスタと前記強誘電体キャパシタとが少なくとも1層以上の絶縁層により電気的に分離して形成されてなる請求項1記載の半導体記憶素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶素子に関する。さらに詳しくは、強誘電体キャパシタを使用した非破壊読み出しが可能な半導体記憶素子に関する。

【0002】

【従来の技術】 従来より提案されている強誘電体キャパシタを使用した半導体記憶素子としては大きく分けると、1つのセルに1つのトランジスタと1つのキャパシタを有するタイプ（以下、1Tr・1Capa/1cellタイプという）と金属膜・強誘電体膜・半導体層（以下、MFSという）構造がある。

【0003】 このうち1Tr・1Capa/1cellタイプのものは図12～13に示されるように強誘電体キャパシタ1とMOSFETのソースまたはドレインとを接続したものである。なお、図12～13において、2は強誘電体、3は下部電極、4は拡散層、5はゲート電極、6は第1層間絶縁膜、7は第2層間絶縁膜、8はAl配線層、9はフィールド酸化膜である。

【0004】 この方式のものは、図14に示される強誘電体のヒステリシスにおいて、AまたはBの状態を判定するために一度Cまで電界がかけられる。そして、そのとき流れる電流によりAまたはBを判定するものである。

【0005】 つぎにMFS構造は、図15に示されるように、半導体基板12上に直接強誘電体膜11を形成し、該強誘電体膜11の分極反転電荷により下部の半導体に反転層を形成するというものである。なお図15において、10はゲート電極、13は不純物拡散領域でゲート領域とソース領域を構成する。

【0006】

【発明が解決しようとする課題】 しかしながら、前述した強誘電体を使用した半導体記憶素子のうち1Tr・1Capa/1cellタイプのものは、破壊読み出しであるうえ

に、AまたはBを判定するために必要とされる残留分極が比較的大きい（Capa面積が $1\mu\text{m}^2$ のとき、約 $10\mu\text{C}/\text{cm}^2$ は必要とされている）という問題がある。

【0007】 一方、MFS構造は、蓄積電荷量ではなく蓄積電荷密度を必要とするため、電極面積を広く取る必要がなく、したがって要求される残留分極も約 $1\mu\text{C}/\text{cm}^2$ 以下と比較的小さい。

【0008】 しかしながら、半導体基板上に直接性質の異なる強誘電体膜を形成するのは困難であり、このためF/Sの界面に SiO_2 などのバッファ層を設けることが提案されている（特開昭50-57345号公報参照）。

【0009】 しかし、バッファ層を設けると強誘電体とバッファ層の積層コンデンサ構造となり、強誘電体にかかる電圧が低下し、このため印加電圧を大きくしなければなくなるという問題がある。

【0010】 また、この構造では、バッファ層の有無にかかわらず結晶性の良い強誘電体薄膜をうるのは困難である。

【0011】 本発明は、叙上の事情に鑑み、前記従来技術の有する欠点が解消された強誘電体使用の半導体記憶素子を提供することを目的とする。すなわち本発明の目的は、非破壊読み出しが可能であり、結晶性の良い強誘電体膜が形成された半導体記憶素子を提供することである。

【0012】

【課題を解決するための手段】 本発明の半導体記憶素子は、第1導電型の半導体基板表面に間隔をおいて形成された2つの第2導電型の半導体領域のあいだの前記基板表面に誘電体薄膜が設けられており、該誘電体薄膜上部に導電膜が形成されゲート電極とした電界効果型トランジスタと、強誘電体を2つの導電体電極ではさんだ強誘電体キャパシタとを有する半導体記憶素子であって、前記電界効果型トランジスタのゲート電極が前記強誘電体層をはさむ2つの導電体電極の一方と電気的に接続されており、かつ前記ゲート電極および該ゲート電極と接続された前記導電体電極に接続された電極端子が導出されてなることを特徴としている。

【0013】

【作用】 本発明によれば、強誘電体キャパシタをMOSFETのゲート電極に接続すると共に、接続部から電極端子を取り出す構成としているため、信号の書き込みにあたっては、強誘電体キャパシタの両電極間に信号電圧を印加すればよく、低い電圧で書き込みができる。また読み出しにあたっては強誘電体キャパシタに蓄積された分極電荷がMOSFETのゲート絶縁膜で形成されたキャパシタに転送されMOSFETのドレイン、ソース間の導通、非導通状態で検出でき、分極電荷を破壊しないで簡単に読み出すことができる。

【0014】 さらに本発明によれば、強誘電体膜をMOSFETのゲート絶縁膜とは別個に形成するため、強誘電体膜

の下地電極の材質を自由に選択でき結晶性の良い強誘電体膜を形成できる。

【0015】

【実施例】以下、添付図面に基づき本発明の半導体記憶素子（以下、デバイスという）をさらに詳細に説明する。

【0016】本発明のデバイスの基本構成は、図1に示されるように強誘電体キャパシタとMOSFETをそれぞれひとつずつ含むものである。ただ、従来の1Tr・1Capa/1cell構造（図12～13参照）のようにキャパシタとFETのソースまたはドレインとを接続する構造ではなく、キャパシタとゲート電極とを接続したものである。強誘電体キャパシタによる蓄積電荷をゲート電極に伝えることによりMOSFETの導通、非導通状態を切り替えられる。強誘電体の残留分極による電荷を利用すれば、MOSFETの導通、非導通状態を“1”、“0”とした不揮発性メモリの構成が可能である。

【0017】この方式では記憶を読み出すのに、図1のソース15とドレイン16のあいだが導通か非導通かを読み取ることにより行うので、読み取りにより強誘電体キャパシタ1の分極状態を破壊することはない。また、この構造においてもMOSFETのゲート酸化膜の下部に発生する電荷密度を必要とするため、MFS構造と同様に要求される残留分極は比較的小さくてよい。こうして、前述した1Tr・1Capa/1cellタイプに対する問題を解決することができる。

【0018】また本発明の構造では、半導体基板や半導体基板上のパッファ層の上に強誘電体薄膜を直接成膜する必要がなく、下部電極の材質を選ぶことによって強誘電体薄膜と下地との整合性をうることができる。たとえば酸化物ペロブスカイト構造をもつPZT (PbZrTiO_3)、PLZT (PbLaZrTiO_3)、 PbTiO_3 などは、下地にPtを用いると結晶性の良い膜がえられる。

【0019】また強誘電体キャパシタ1の一方の電極とMOSFETのゲート電極との接続部にビットライン17を設けることにより、ワードライン14とビットライン17とのあいだの電圧を変化させることができ、これにより強誘電体の分極反転を操作することができる。そのためMFIS構造のように、絶縁膜を挿入した分印加電圧を大きくするという必要がなくなり、低い電圧で記憶させることができる。こうして、前述したMFS構造に対する問題を解決することができる。

【0020】実施例1

図2～7は本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。なお、図7は図6を90°回転させた方向での断面説明図である。図2～7において、18は半導体基板、19はFETのドレイン、ソース領域を形成するための不純物拡散領域、20は素子間分離のためのフィールド酸化膜、21は層間絶縁膜、22はゲート電極、23はゲート酸化膜、24は導電体電極（導電膜）、

25は強誘電体、26は配線層、27はバシベーション膜である。

【0021】本実施例ではFETとキャパシタとが層間絶縁膜21aにより分離されている。図2に示される工程は従来のMOSFET技術によるものである。

【0022】すなわち、半導体基板表面に薄い酸化膜を熱酸化法により形成し、部分酸化法により素子分離用のフィールド酸化膜20を形成した。そののち、絶縁膜にポリシリコンを堆積してゲート電極22を形成すると共に、ソース、ドレイン領域を形成する場所にイオン打込みをし、熱処理をして不純物拡散層19を形成した。そののち、CVD法などにより層間絶縁膜21aを形成したものである。

【0023】つぎに、図3に示されるように層間絶縁膜21aの上にキャパシタの下部電極となる導電膜24aを形成、加工した。この導電膜の形成はたとえば、スパッタリング法で、100～600nmの膜厚のPt金属膜を形成し、エッチングにより必要な部分のみを残し、他を腐蝕除去する。この際、ゲート電極22と連結するように（図7参照）導電膜を延ばして形成した。このPt金属膜を形成するのは、ついで導電膜24aの上に強誘電体25が形成されるが、この強誘電体25に酸化物ペロブスカイト構造をもつPZT系（PZT、PLZT、 PbTiO_3 など）を用いるばあい、導電膜の材料としてはF.C.C.構造すなわち面心立方格子構造をもつ金属、とくにPt（白金）を用いるのが好ましいからである。その理由は、F.C.C.金属は下地にかかわらず結晶配向性をもつ性質があり、その中でもPtはPZT系の強誘電体との格子定数のミスマッチが比較的小さく、そのため強誘電体の結晶配向性が良くなるためである。

【0024】ついで図4に示すように強誘電体材料のたとえば、PZTをスパッタリング法で0.1～0.3 μm 堆積し、引きつづき上部電極を下部電極と同様に積層して不要部分をエッチング除去して形成した。この強誘電体材料の形成はスパッタリング法以外のCVD法、ゾルーゲル法などでも形成できる。この強誘電体材料は酸化物ペロブスカイト構造をもつPZT、PLZTなどが強誘電性も強いので理想的である。しかし成膜の難しさからみると、 GeTe や $\text{Pb}_{1-x}\text{Ge}_x\text{Te}$ のように簡単な結晶構造（NaCl型）で結晶化温度の低い（250℃以下）、Ge元素を成分に有する強誘電体の方が、製造プロセス上優れている。

【0025】なお、電極は2層以上の積層構造たとえば、不純物がドーブされたポリシリコンやアモルファスシリコンとPt層の組み合わせにすると接着性向上の効果がある。また、電極および強誘電体の加工に関してはウェットエッチングでも良いが、微細化に適応しうる点よりイオンミリング、RIBE、RIEなどのドライエッチングの方が好ましい。

【0026】つぎの図5～6に示されるステップは従来の半導体プロセス技術を用いたもので、強誘電体25およ

び上部電極の導電膜24bの上にCVD法などでPSGを約0.5 μ m堆積し、層間絶縁膜21bを再度形成した。そのうち、電極コンタクトのため、層間絶縁膜21bを目抜き、スパッタリング法によりAl膜を成膜し、エッチングでAlの配線層26を形成した。その上にさらに、CVD法などでPSGを1~2 μ m堆積し、パッシベーション膜27を形成して本発明の半導体記憶素子部分を形成した。

【0027】実施例2

図8~11は本発明のデバイスの他の実施例のプロセスフローをあらわす断面説明図である。なお、図11は図10を90°回転させた方向での断面説明図である。図8~11において、18~27は実施例1における同一参照符号と同等のものをあらわしている。

【0028】本実施例ではFETのゲート電極と強誘電体キャパシタの下部電極とが共用となっている。図8に示されるステップでは、従来のMOSFET技術を用いて実施例1と同様に半導体基板18上にフィールド酸化膜20、ゲート酸化膜23を形成し、その上部にゲート電極兼強誘電体キャパシタの下部電極となるPtの導電膜22を形成し、その上部に強誘電体25、さらにその上部に上部電極となる導電膜24を形成した。ここで強誘電体25として酸化物ペロブスカイト構造をもつPZT系を用いるばあいは、前述した理由により導電膜の材料としてPtを選択するのが好ましい。また導電膜22、24は2層以上の積層構造であってもよい。たとえば、下地との整合性を考え下部電極のPtの下にドーパされたポリシリコンやドーパされたアモルファスシリコンなどのシリコン系の導電体を形成すると一層密着性がよい。

【0029】ついで図9に示されるように電極および強誘電体薄膜の不要部分を除去するため、エッチング加工し、不純物拡散領域19を形成した。加工の方法としては前述した理由によりドライエッチングを用いるのが好ましい。図10~11は実施例1と同様に、従来のMOSFET技術を用いてAlの配線層26およびパッシベーション膜27を形成した工程をあらわしている。

【0030】

【発明の効果】以上説明したとおり、本発明のデバイスによれば強誘電体キャパシタと電界効果型トランジスタのゲート電極とが接続されており、かつ前記キャパシタとゲート電極とのあいだに外部電極端子が接続されているので、書き込み時は低い電圧で行え、読み出し時には、強誘電体の分極反転電荷によりMOSFETのゲートに反転層を形成し、ドレイン、ソース間の導通、非導通状態で検出でき、非破壊読み出しが可能である。また、結晶性の良い強誘電体薄膜を有するデバイスをうることができる。

【0031】その結果、強誘電体のキャパシタに蓄えられた電荷量により情報を記憶する半導体記憶素子の特性並びに信頼性を大幅に向上でき利用範囲が増える効果がある。

【図面の簡単な説明】

【図1】本発明のデバイスの一実施例の等価回路図である。

【図2】本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。

【図3】本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。

【図4】本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。

【図5】本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。

【図6】本発明のデバイスの一実施例のプロセスフローをあらわす断面説明図である。

【図7】図6を90°回転させた方向での断面説明図である。

【図8】本発明のデバイスの他の実施例のプロセスフローをあらわす断面説明図である。

【図9】本発明のデバイスの他の実施例のプロセスフローをあらわす断面説明図である。

【図10】本発明のデバイスの他の実施例のプロセスフローをあらわす断面説明図である。

【図11】図10を90°回転させた方向での断面説明図である。

【図12】従来の1Tr・1Capa/1cellタイプの強誘電体メモリの等価回路図である。

【図13】従来の1Tr・1Capa/1cellタイプの強誘電体メモリの断面説明図である。

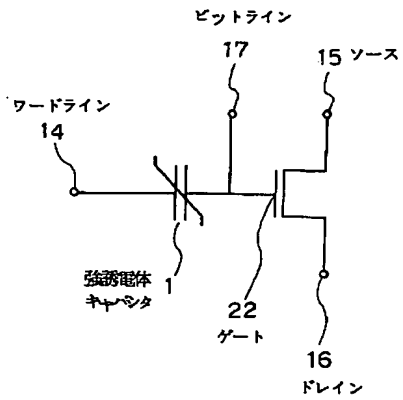
【図14】強誘電体のヒステリシスをあらわす図である。

【図15】従来のMFS構造の強誘電体メモリの断面説明図である。

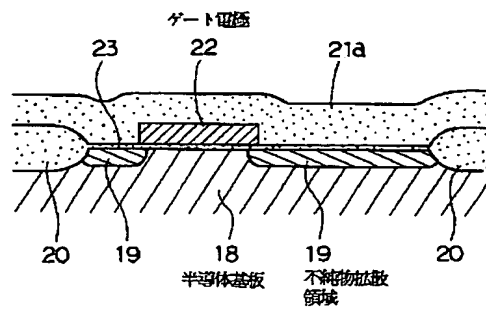
【符号の説明】

- 1 強誘電体キャパシタ
- 14 ワードライン
- 15 ソース
- 16 ドレイン
- 17 ビットライン
- 18 半導体基板
- 19 不純物拡散領域
- 22 ゲート電極
- 24 導電体電極（導電膜）
- 25 強誘電体

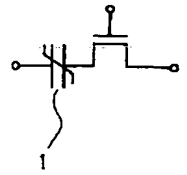
【図1】



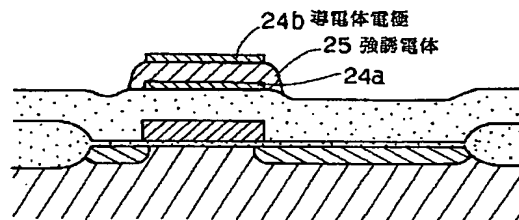
【図2】



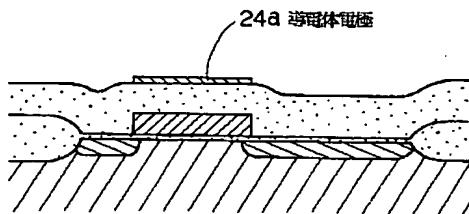
【図12】



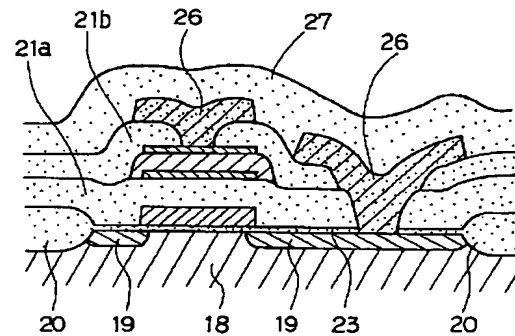
【図4】



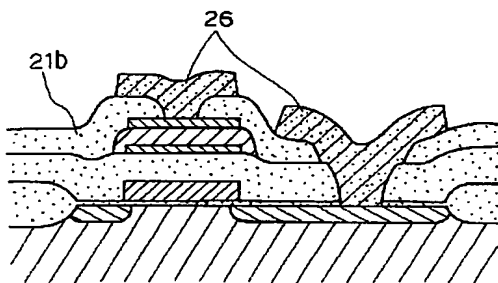
【図3】



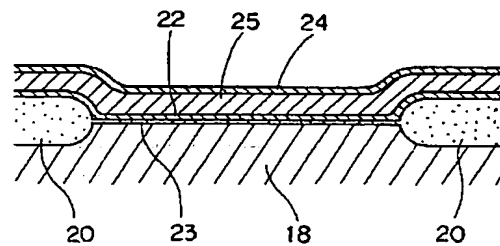
【図6】



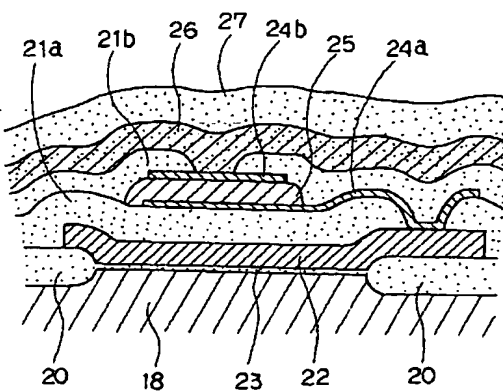
【図5】



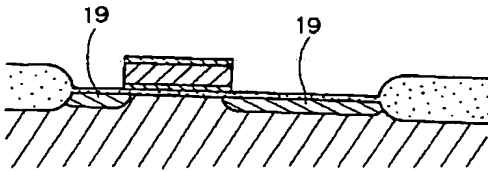
【図8】



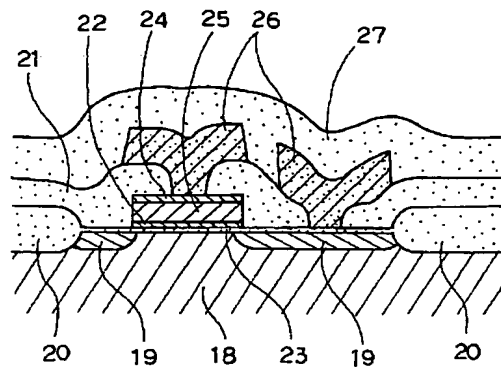
【図7】



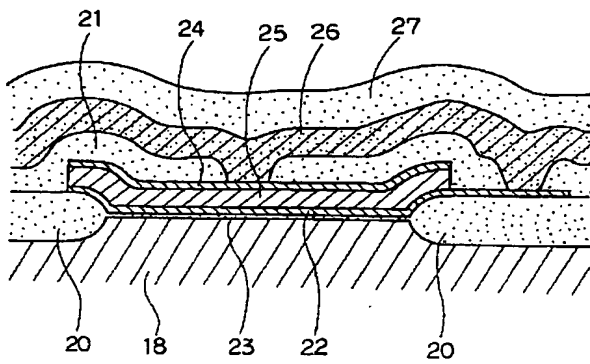
【図9】



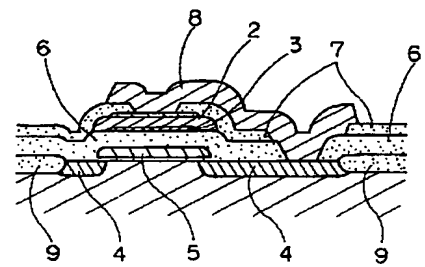
【図10】



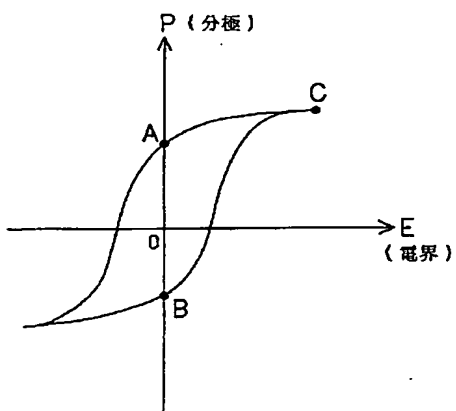
【図11】



【図13】



【図14】



【図15】

